

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-091582

(43)Date of publication of application : 05.04.1994

(51)Int.Cl.

B25J 18/06

B25J 19/00

G02B 23/24

(21)Application number : 04-272370

(71)Applicant : OLYMPUS OPTICAL CO LTD

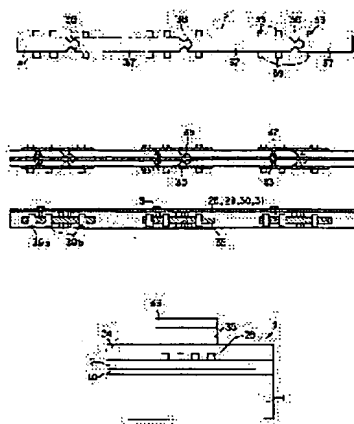
(22)Date of filing : 16.09.1992

(72)Inventor : KANEKO SHINJI
ADACHI HIDEYUKI
HIRATA YASUO
KAWAI TOSHIMASA**(54) MULTI-JOINT MANIPULATOR, ITS MANUFACTURING METHOD AND ACTUATOR****(57)Abstract:**

PURPOSE: To offer a multi-joint manipulator of large power generating capability and displacement quantity and capable of being miniaturized by providing an actuator control chip array and a driving body for the actuator equipped with a driving energy supplying means correspondingly to respective joints, and allowing them to have a degree of freedom for each electronic circuit chip for each actuator control.

CONSTITUTION: A driving mechanism 'a' is formed by means of forming a shape memory alloy thin film pattern 35, coated with silicone film oxide made insulation film 10, 12, 34, a heating wire pattern 26 and a polyimide film 36, on a P type low concentration semiconductor substrate 1. A pair of the shape memory alloy thin film pattern 35 of the driving mechanism body 'a' is arranged correspondingly to the respective joints 37 of a multi-joint structure body 'b' composed of joints 37 connected together at a connecting portion 38 with its electronic circuit portion placed on the top of the multi-joint structure body 'b'.

The shape memory alloy thin film pattern 35 is mounted on three mounting units 39 (39a, 39b, 39b) laid across two joints 37 on both sides of the structure body 'b'. Respective joint built-in sensor are driven through this control chip array.

**LEGAL STATUS**

[Date of request for examination] 22.07.1999

[Date of sending the examiner's decision of rejection] 09.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3362876

[Date of registration] 25.10.2002

[Number of appeal against examiner's decision of rejection] 2002-08286

[Date of requesting appeal against examiner's decision of rejection] 09.05.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-91582

(43)公開日 平成6年(1994)4月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
B 2 5 J 18/06		8611-3F		
19/00	A	8611-3F		
G 0 2 B 23/24	A	9317-2K		

審査請求 未請求 請求項の数9(全17頁)

(21)出願番号 特願平4-272370

(22)出願日 平成4年(1992)9月16日

(71)出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 金子 新二

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(72)発明者 安達 英之

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(72)発明者 平田 康夫

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(74)代理人 弁理士 鈴江 武彦

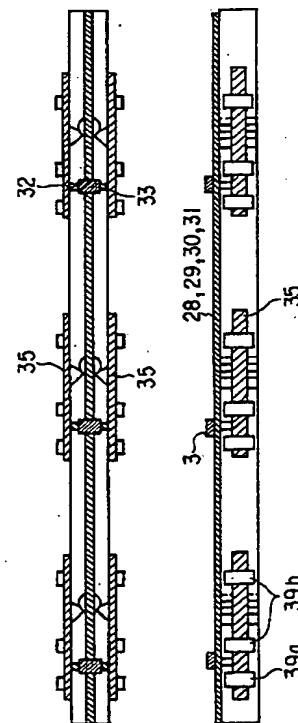
最終頁に続く

(54)【発明の名称】 多関節マニピュレータ及びその製造方法とアクチュエータ

(57)【要約】

【目的】本発明は、発生力量や変位量が大きく、小型化が可能で、組立工数が大幅に削減でき、しかもフィードバック制御用のセンサーを一体形成して内蔵することができる多関節マニピュレータ及びその製造方法を提供することを目的とする。

【構成】柔軟な配線によって接続され、しかも、薄膜化された半導体集積回路チップアレーを構成し、これに駆動体やセンサーを一体形成して極めて微小な駆動機構を構成する。配線の形成やセンサー或は駆動体の組み込みは、半導体リソグラフィ技術によって成されるので、組み立てが不用で、非常に集積化された駆動機構が得られる。



【特許請求の範囲】

【請求項1】 各関節にアクチュエータを有する多関節マニピレータにおいて、各関節に対応してそれを駆動するアクチュエータ用駆動体と、この各駆動体にそれぞれ対応してそれに一体化した複数の駆動制御用電子回路チップを柔軟な配線によって相互に接続したアクチュエータ制御チップアレーと、前記各電子回路を介して選択された前記駆動体に駆動エネルギーを供給する手段とを備え、該アクチュエータ制御用電子回路チップの各々に対して少なくとも1つの自由度を有することを特徴とする多関節マニピレータ。

【請求項2】 前記駆動体へのエネルギー供給手段と前記アクチュエータ用駆動体が一体形成されたことを特徴とする請求項1に記載の多関節マニピレータ。

【請求項3】 前記駆動体が形状記憶合金であり、前記エネルギー供給手段が、前記形状記憶合金を加熱するためのヒーターであることを特徴とする請求項1に記載の多関節マニピレータ。

【請求項4】 前記アクチュエータ制御チップアレーが各関節に組み込まれたセンサーの駆動、及び読出し機能を有することを特徴とする請求項1に記載の多関節マニピレータ。

【請求項5】 各関節にアクチュエータ制御用電子回路を有する多関節マニピレータにおいて、前記電子回路の一つが外部から与えられた指定形状に対応して、各関節に組み込まれたセンサーの信号によって、各関節のアクチュエータをフィードバック制御する機能を備えたことを特徴とする多関節マニピレータ。

【請求項6】 半導体基板上の複数の領域に電子回路を形成し、これらを柔軟な配線領域によって相互に接続した後、前記電子回路を形成した以外の領域の半導体基板を除去することによって、アクチュエータ制御チップアレーを形成することを特徴とする多関節マニピレータの製造方法。

【請求項7】 前記柔軟な配線領域が基板上に絶縁膜を介して金属薄膜を形成する工程と、これを所定のマスクパターンを用いてエッチングする工程と、

この上に絶縁膜を形成し、これに前記マスクの反転パターンを形成し、前記金属薄膜上部の絶縁膜をエッチングする工程と、

選択的な無電解メッキ処理によって前記金属薄膜上部に選択的に金属を積層する工程とを有することを特徴とする請求項6に記載の多関節マニピレータの製造方法。

【請求項8】 抵抗体熱電素子の上部に、絶縁膜を介して所定形状に加工された形状記憶合金薄膜を配置したアクチュエータにおいて、該抵抗体熱電素子の抵抗値の温度依存性を利用して該形状記憶合金薄膜の相転移を制御することを特徴としたアクチュエータ。

【請求項9】 前記抵抗体熱電素子が、前記形状記憶合

金薄膜と同じかそれよりも高い変態点を有する形状記憶合金薄膜であることを特徴とする請求項8に記載のアクチュエータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、特に、超小型の多関節マニピレータ及びその製造方法とアクチュエータに関する。

【0002】

【従来の技術】 近年、マイクロマシン技術に関心が集まっており、医療用マイクロロボット等への応用が期待されている。このためには、グリッパ等を任意の部位にアクセスするための多関節マイクロマニピュレータの実現が必須である。これに関連して、特に、LSI製造技術を応用したシリコンマイクロマシニングについて様々な研究が報告されている。これらの中にはマイクロマニピュレータに関するものも多いが、駆動体としてシリコンを用いたこれらの駆動に用いられるアクチュエータは、いずれも変位量と発生力量において充分なものではなかった。

【0003】 一方、形状記憶合金を利用したアクチュエータは変位量と発生力量で優れており、これを利用した多関節マニピレータとしては、例えば特開昭63-136014号公報に開示されている方法が知られている。この中には、多関節のマニピレータの各々のアクチュエータを独立に制御し、さらに、フィードバック制御する方式が示されている。

【0004】

【発明が解決しようとする課題】 しかしながら、このような構造の多関節マニピュレータを大幅に小型化・多機能化するためには多くの問題点がある。まず、関節の数が多くなると、それらを独立に制御するためには、多関節マニピュレータの根元部分で、多くの配線が必要となる。また、各関節の変位を正確に制御するために各関節にセンサーを組み込んでフィードバック制御を行おうとすれば、必要な配線数は更に増大する。各関節内に半導体集積回路チップを組み込むことができれば、この問題を回避することも可能であるが、通常の電線又はフレキシブル基板に対して、集積回路チップを接続するには、そのチップをワイヤーボンディング技術で直接に接続するとしても相当に大きなパッド領域が必要であり、小型化の障害となる。

【0005】 さらに、フィードバック制御のためのセンサーを接続するための配線が必要となり、このために必要なスペースも小型化を阻害する要因となる。加えて、膨大な数にのぼる個々の部品の組立てによってマニピュレータを構築する従来の技術は、コストの面からも、小型化の追求といった面からも望ましい方法ではない。

【0006】 本発明は、このような種々の問題点に鑑みてなされたものであり、発生力量や変位量が大きく、小

型化が可能で、組立工数が大幅に削減でき、しかもフィードバック制御用のセンサーを一体形成して内蔵することができる多関節マニピュレータ及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段および作用】本発明は、各関節にアクチュエータを有する多関節マニピュレータにおいて、各関節に対応してそれを駆動するアクチュエータ用駆動体と、この各駆動体にそれぞれ対応してそれに一体化した複数の駆動制御用電子回路チップを柔軟な配線によって相互に接続したアクチュエータ制御チップアレーと、前記各電子回路を介して選択された前記駆動体に駆動エネルギーを供給する手段とを備え、該アクチュエータ制御用電子回路チップの各々に対して少なくとも1つの自由度を有する。前記駆動体へのエネルギー供給手段と前記アクチュエータ用駆動体が一体形成された多関節マニピュレータである。また、前記駆動体が形状記憶合金であって、前記エネルギー供給手段が、前記形状記憶合金を加熱するためのヒーターである多関節マニピュレータである。前記アクチュエータ制御チップアレーが各関節に組み込まれたセンサーの駆動、及び読出し機能を有する多関節マニピュレータである。また、各関節にアクチュエータ制御用電子回路を有する多関節マニピュレータにおいて、前記電子回路の一つが外部から与えられた指定形状に対応して、各関節に組み込まれたセンサーの信号によって、各関節のアクチュエータをフィードバック制御する機能を備える。また、本発明は、半導体基板上の複数の領域に電子回路を形成し、これらを柔軟な配線領域によって相互に接続した後、前記電子回路を形成した以外の領域の半導体基板を除去することによって、アクチュエータ制御チップアレーを形成する多関節マニピュレータの製造方法である。また、この多関節マニピュレータの製造方法において、前記柔軟な配線領域が基板上に絶縁膜を介して金属薄膜を形成する工程と、これを所定のマスクパターンを用いてエッチングする工程と、この上に絶縁膜を形成し、これに前記マスクの反転パターンを形成し、前記金属薄膜上部の絶縁膜をエッチングする工程と、選択的な無電解メッキ処理によって前記金属薄膜上部に選択的に金属を積層する工程とを有する多関節マニピュレータの製造方法である。また、本発明は、抵抗体熱電素子の上部に、絶縁膜を介して所定形状に加工された形状記憶合金薄膜を配置したアクチュエータにおいて、該抵抗体熱電素子の抵抗値の温度依存性を利用して該形状記憶合金薄膜の相転移を制御するものである。前記抵抗体熱電素子が、前記形状記憶合金薄膜と同じかそれよりも高い変態点を有する形状記憶合金薄膜であるアクチュエータである。本発明によれば、柔軟な配線によって接続され、しかも、薄膜化された半導体集積回路チップアレーを構成し、これに駆動体やセンサーを一体形成して極めて微小な駆動機構を構成

する。配線の形成やセンサー或は駆動体の組み込みは、半導体リソグラフィ技術によって成されるので、組み立てが不用で、非常に集積化された駆動機構が得られる。

【0008】

【実施例】本発明の第1の実施例を、図1から図13を用いて説明する。この多関節マニピュレータは、電子回路や形状記憶合金等が一体化された駆動機構体aと多関節構造体bに組み込んで構成される。まず、駆動機構体について、その製造手順に従って説明する。

【0009】最初、図1に示すように、面方位が(100)のP型低濃度半導体基板1上の複数個所に、リンのイオン注入及び熱拡散工程を用いて接合深さ10 μ mのN型低濃度領域2、3を一行に並べて等間隔をあけて形成する。次に、図2に示すように、各々のN型低濃度領域3において、Pch-MOSFETを形成する領域にNウェル4を、Nch-MOSFETを形成する領域にPウェル5をそれぞれ形成する。

【0010】この後、図3に示すように、フィールド酸化膜6、ゲート電極7、P型高濃度拡散層8、N型高濃度拡散層9、シリコン酸化膜よりなる第1層間絶縁膜10、第1金属配線層11の形成工程を経て、各々のN型低濃度領域3にCMOS集積回路を形成し、さらに、ポリイミドより成る第2の層間絶縁膜12を形成する。

【0011】このようにN型低濃度領域3に形成されるCMOS集積回路は、図4に示すような回路構成となっている。つまり、D型フリップフロップ(DFP)13とスイッチング用トランジスタ14を各々2つ含み、入力電源線の端子領域15、入力GND線の端子領域16、入力同期信号線の端子領域17、入力制御線の端子領域18、第1の駆動線の端子領域19、第2の駆動線の端子領域20、出力電源線の端子領域21、出力GND線の端子領域22、出力同期信号線の端子領域23、及び出力制御線の端子領域24を有している。また、N型低濃度領域2に形成されるCMOS集積回路は、図4で示した回路構成の他に、後に説明する信号処理回路、及び入力保護回路が含まれる。なお、ここで、スイッチング用トランジスタはエンハンスメント型Nch-MOSFETである。

【0012】次に、図5に示すように、所定の位置にTi薄膜による電熱線パターン26をTiのスパッタ及びリソグラフィ工程によって形成する。続いて、図6に示すように、通常のフォトリソグラフィによって前記16から24の各々の端子領域にコンタクト孔27をそれぞれ開口する。

【0013】次に、図7に示すように、第2金属配線層となる厚さ1.5 μ mのAl膜をスパッタした後、通常のフォトリソグラフィによってAlをパターンニングして、N型低濃度領域に形成した各々の隣り合う電子回路の電源線、GND線、同期信号線、制御線のコンタクト

孔27を接続して、第2金属配線層による、電源配線28、GND配線29、同期信号配線30、制御配線31及び第1の駆動線と電子回路の横に設けられた2つの電熱線パターン的一方を接続する第1駆動配線32と、第2の駆動線と電子回路の横に設けられた2つの電熱線パターンの他方を接続する第2駆動配線33をそれぞれ形成する。この第2金属配線層のエッチングに際して、Tiと比較してAlのエッチング速度が速いエッチャントを用いることで、Tiをほとんどエッチングすることなく、Alのエッチングを行うことができる。

【0014】次に、図8及び図9に示すように、その上に第3の層間絶縁膜34となる厚さ2 μ mのポリイミド膜を塗布形成し、更に、この上に厚さ50 μ mの形状記憶合金薄膜をスパッタによって形成し、更に、この上にポリイミド膜を塗布し、これをリソグラフィ工程によってエッチングして駆動体となる形状記憶合金薄膜パターン35とその上部のポリイミド膜36を形成する。

【0015】次に、これまで述べた電子回路、配線、形状記憶合金薄膜パターン35を形成した以外の領域の第3層間絶縁膜34、及び第2層間絶縁膜12をリソグラフィ工程によってエッチング除去した後、基板の形状記憶合金薄膜等を形成した側の主面を保護膜によって保護した上で、N型低濃度領域2及び3に1Vの電圧を印加しながら80℃の10w%のアンモニア溶液中で処理するECE (electrochemical controlled etching) 処理によって、N型低濃度領域以外の領域の半導体基板をエッチングによって除去する。一般的なCMOS回路においては、電源線がNウェルに接続されているので、電源配線28をバイアスすることで、N型低濃度領域2、3にバイアスすることができる。

【0016】この後、フッ酸溶液等によってシリコン酸化膜の第1層間絶縁膜10のN型低濃度領域以外の露出した領域をエッチング除去してから表面保護膜を除去する。

【0017】この様にして、柔軟なポリイミドによって覆われた配線及び電熱線パターン26と、その下部に部分的に残存した電子回路を構成する半導体領域と、上部に形成された形状記憶合金（駆動体）が、図9で示す一体化された駆動機構体aが得られる。

【0018】この後、形状記憶合金部分の電熱線ヒーターがある領域を曲げた状態で保持し、400℃で1時間熱処理した後、急冷して形状記憶処理を行う。このとき、駆動機構体における全ての形状記憶合金は同じ形状を記憶させる。

【0019】次に、図10及び図11に示すような多関節構造体bを用意する。これは、MIM (metal injection mold) によって形成され、個々の節37は、1平面上で任意の方向に回動できるように接続部38を介して連結されている。また、各節37は両側に3個ずつの取付け部39を有する。

【0020】ついで、図12に示すように、前記電子回路や形状記憶合金等が一体化された駆動機構体aを多関節構造体bに取り付ける。この図12から分かるように、駆動機構体aの1つの電子回路部分とこれの両側に設けられた一对の形状記憶合金薄膜パターン35は、多関節構造体bの1つの節37にそれぞれ対応し、電子回路部分はその多関節構造体bの上面に固定される。

【0021】また、一对の形状記憶合金薄膜パターン35は、その駆動配線部分で折り曲げることににより、多関節構造体bの両側面で、2つの節37にまたがる3つの取付け部39 (39a, 39b, 39b) に対して取り付けられる。つまり、形状記憶合金薄膜パターン35はこの3つの取付け部39a, 39b, 39bの中で、図中左端の取付け部39aで固定され、他の2つの取付け部39bでは横方向に自由に動くことができるように取り付けられる。ここで、形状記憶合金薄膜パターン用の電熱線ヒーター26がある部分は、その多関節構造体bの接続部38に対応して位置するように配置される。また、前記電子回路部同士を接続する4本の配線は節37の屈曲時に強い応力がかからないように、適当なたるみを持たせてある。

【0022】このように駆動機構体aと多関節構造体bに組み込んで構成される多関節マニピュレータによると、節37の両側に配置された形状記憶合金薄膜パターン35は、変態点以上の温度に加熱されたときに節37の接続部38をそれぞれ逆方向に曲げる力を作用させる。従って、一对の形状記憶合金薄膜パターン35の一方を加熱することによって、それに対応した接続部38をどちらの方向にも曲げることができる。

【0023】次に、このように構成された多関節マニピュレータの制御を図13で示す信号によって行う場合について説明する。節37の数がn個であったとすると、このマニピュレータの各節37に配置された電子回路は、2nビットのシフトレジスタを構成することになる。まず、第1の時間領域において同期信号線に対して、2n個のパルスが入力され、制御信号線に対してもパルスが入力される。

【0024】ここで、2n個のパルスの入力完了した第1時間領域の終りの時刻T1における、入力側から数えてk番目の節37に注目すると、この節37の電子回路には、2(n-k)+1番目と2(n-k)+2番目のDFF13が含まれており、2(n-k)+1番目の同期信号が立ち上がる際の制御信号線はLo状態であるので、k番目の節37の後段のDFF13はLo状態であり、2(n-k)+2番目の同期信号が立ち上がる際の制御信号線は、Hi状態であるのでk番目の関節の前段のDFF13は、Hi状態となる。このため、図4における第1駆動線には通電がなされ、一方、第2駆動線には通電がなされない。

【0025】従って、同期信号が入力されない第2時間

領域においては、 k 番目の節 3 7 に配置された一対の形状記憶合金のうち、第 1 駆動線に接続された方だけが加熱され、変態温度を越えて節 3 7 を所定方向に屈曲させる。第 1 時間領域においてシフトレジスタで制御信号が転送される間には、 $2(n-k)+1$ 番目のビットが H_i 状態となる瞬間もあるが、第 1 時間領域の長さが第 2 時間領域や形状記憶合金薄膜パターン 3 5 の昇温に要する時間よりも十分に短ければ、実用上は問題ない。この条件が満たされない場合には、DFF 用スイッチング用トランジスタの間にラッチ回路を設けることで回避することもできる。このように第 1 時間領域と第 2 時間領域を 1 つの単位時間として繰り返し、第 1 時間領域における制御信号パルスを変えることによって、任意の節 3 7 をどちらの方向にも屈曲させることができる。

【0026】このような構成によれば、制御回路、電熱線ヒーター、駆動回路が一体形成され、組立工程が無しで、発生力量と変位量が大きい多関節駆動機構を得ることができる。また、各部の配線もリソグラフィ技術で成されるので、ワイヤーボンディングなどの方法と比べて大幅に小型化できる。

【0027】なお、図 1 3 に示した方法では、多関節マニピュレータの各節 3 7 は、形状記憶合金の記憶された形状に対応してどちらかの方向に屈曲させることができるだけであるが、駆動手段のフィードバック制御によって各節 3 7 を任意の角度に曲がった状態で制御する方法について以下に説明する。

【0028】これにはいくつかの方法が考えられるが、まず、電熱ヒーター部分の温度を用いて制御する方法について説明する。先に説明した構成の実施例においては、電熱ヒーターの発熱体として Ti 薄膜を用いたが、これを抵抗値の温度依存性が大きい材料に置き換える。例としては導電性有機薄膜や変態温度の非常に低い $Ti-Ni$ 合金が挙げられる。後者は実用温度範囲でオーステナイト相となり、この領域では抵抗値の温度依存性が比較的大きいため利用可能となる。これは超弾性を示すので、駆動体の形状記憶合金の変態時の歪みが大きい場合でも塑性変形による電熱ヒーター部分の信頼性の問題がない点でも特に望ましい。

【0029】このような構成とした上で、形状記憶合金部分の変位量の温度依存性を利用した、温度によるフィードバック制御を行う方法について、図 1 4 を用いて説明する。ここでは図 1 3 の説明の際と同様に、多関節マニピュレータは n 個の節を有し、電子回路は全体として $2n$ ビットのシフトレジスタを構成している。

【0030】このタイムチャートから分かるように、制御における単位時間を第 1、第 2、第 3 の 3 つの時間領域に分けて考える。第 1 時間領域においては $2n$ 個の同期信号パルスが出力され、その最初の立上り時に前段のビットの状態が転送される。従って第 1 時間領域を通じて、この図 1 4 のように最初に 1 つだけ制御信号線にパ

ルスを与えると、順次各ビットが 1 つだけ H_i 状態となり、そのビットに対応した電熱ヒーターが通電される。この際の電流量をモニターすることで、各電熱ヒーターの抵抗値から温度を検出することができる。このように検出された温度を基に通電すべき電熱ヒーターを決定して、図 1 3 において説明したのと同じ方法で第 2 時間領域で必要なパルスを入力して、この状態を第 3 時間領域で保持する。

【0031】この後、このタイムチャートには図示していないが、制御信号線を L の状態としたまま同期信号線に $2n$ 個のパルスを出力して、各 DFF を L の状態としてから第 1 時間領域の処理に戻る。このような処理を十分に短い周期で行えば、きめ細かいフィードバックによって各駆動体の形状記憶合金を所定の温度に維持することができる。

【0032】次に、ピエゾ型歪みセンサーを用いてフィードバック制御する方法に関して変形例を、図 1 から図 1 2 を用いて説明した実施例と異なる点について、図 1 5 から図 1 8 を用いて説明する。まず、図 1 5 に示すように N 型低濃度領域 3 の中に形成された N ウェル 4 を、後に電熱線ヒーターパターンが形成される領域にもコの字型に形成し、更に N 型低濃度拡散層 3 に形成する電子回路を図 1 6 に示すように変更する。これは前述した図 3 の回路に更に 2 ビットの DFF とスイッチング用トランジスタを追加したもので、追加された部分には第 1 ピエゾ抵抗検出線端子領域 1 0 1 と第 2 ピエゾ抵抗検出線端子領域 1 0 2 を含んでいる（図 1 6 を参照）。

【0033】更に、図 1 7 に示すように、図 7 に示したコンタクト孔 2 7 を、第 1 ピエゾ抵抗検出線端子領域 1 0 1 と第 2 ピエゾ抵抗検出線端子領域 1 0 2 および後に電熱線ヒーターパターンが形成される領域にコの字型に形成された N ウェル 4 の両端にも形成する。ここで、コの字型に形成された N ウェル 4 の両端のコンタクト孔の部分は後に形成される第 2 金属配線層とオーミックコンタクトをとるため、 N 型高濃度拡散層 9 が形成されている。

【0034】次に、図 1 8 に示すように、図 7 で説明した配線の他に、電熱線パターンの下部に設けられた 2 つのピエゾ抵抗素子となる N ウェルの一方を第 1 ピエゾ抵抗検出線端子領域 1 0 1 のコンタクト孔 2 7 と接続する第 1 ピエゾ抵抗検出配線 1 0 3 と電熱線パターンの下部に設けられた 2 つのピエゾ抵抗素子となる N ウェルの他方を第 2 ピエゾ抵抗検出線端子領域 1 0 2 のコンタクト孔 2 7 と接続する第 2 ピエゾ抵抗検出配線 1 0 4 を形成する。

【0035】後は、図 8 から図 1 2 に示したのと同様の手順で多関節マニピュレータを完成させる。ECE (electrochemical controlled etching) 処理においては、図 1 6 に示したこの回路構成では、電熱線ヒーター部分の下部の n ウェル領域も電源線と接続されているので、

電子回路を形成したN型低濃度領域と同様にこの領域を残存させることができる。

【0036】制御方法は基本的には図14に示したのと同様であるが、節内のDFFの数が2倍となっているので、第1及び第2時間領域において2倍の数の同期信号パルスが必要となる。第1時間領域においては1つのパルスを順次転送し、第1及び第2ピエゾ抵抗検出配線が通電状態となったときの電流値をモニターすることで、形状記憶合金部分の下部のNウェル領域のピエゾ抵抗効果によって各形状記憶合金部分の変位量を知ることができる。このように検出された形状記憶合金部分の変位を基に通電すべき電熱ヒーターを決定して、第2時間領域で必要なパルスを入力して、所定の電熱ヒーター配線を通電状態にして、この状態を第3時間領域で保持する。この後、制御信号線をL₀状態としたまま同期信号線に4n個のパルスを出力して、各DFFをL₀状態としてから第1時間領域の処理に戻る。このような処理を十分に短い周期で行えば、きめ細かいフィードバックによって各駆動体の形状記憶合金を所定の変位に維持することができる。

5-4 【0037】次に、駆動体の形状記憶合金自体の抵抗値の変化を利用して多関節マニピュレータを制御する方法に関して、図1から図12を用いて説明した実施例と異なる点について、第19図から図22を用いて説明する。

【0038】まず、N型低濃度領域3に含まれる電子回路を第19図に示すように変更する。これは図3の回路に更に2ビットのDFF13とスイッチング用トランジスタ14を追加したもので、追加された部分には第1駆動体抵抗検出線端子領域201と第2駆動体抵抗検出線端子領域202を含んでいる。ここで、第1及び第2駆動体抵抗検出線端子領域201、202の一方は、入力電源線端子領域15と出力電源線端子領域21ではなく、別に用意された入力抵抗検出電源線端子領域203と出力抵抗検出電源線端子領域204に接続されている。ただし、図示していないが、回路内の4個のDFF13の電源は、図3及び図16の場合と同様に入力電源線端子領域15から供給される。

【0039】次に、図20に示すように、図7で説明した配線の他に、一方の電熱線パターンの両側と第1駆動体抵抗検出線端子領域201のコンタクト孔27と接続する第1駆動体抵抗検出配線205と、他方の電熱線パターンの両側と第2駆動体抵抗検出線端子領域202のコンタクト孔と接続する第2駆動体抵抗検出配線206及び入力抵抗電源線と出力入力抵抗電源線を接続する抵抗検出配線207を形成する。

【0040】次に、図21及び図22に示すように、ポリイミドより成る第3の層間絶縁膜208を形成し、この第1及び第2の駆動体抵抗検出配線の先端に、リソグラフィ工程によってコンタクト孔209を形成し、更

に、図8の場合と同様に、この上に厚さ50 μ mの形状記憶合金薄膜をスパッタによって形成し、更に、この上にポリイミド膜を塗布し、これをリソグラフィ工程によってエッチングして、駆動体となる形状記憶合金薄膜パターン35とその上部のポリイミド膜36を形成する。

【0041】この後、図10から図12に示したのと同じ手順で、多関節マニピュレータを完成させる。また、制御方法は、基本的には先に述べたピエゾ抵抗素子を用いた場合と同じである。ここで、形状記憶合金部分の抵抗値検出のために、電子回路や電熱ヒーターと異なった電源を用いているのは、駆動体として用いる形状記憶合金部分の抵抗値が電熱ヒーターと比較して非常に小さいため、形状記憶合金部分の抵抗値検出時に加熱されたりするので、これを防止するためである。

【0042】なお、これまで電熱ヒーターの温度、駆動体と一体化されたピエゾ素子の変位量、駆動体の形状記憶合金の抵抗値による制御方法について述べたが、これらを組み合わせてより精度の高いフィードバック制御を行うこともできる。

【0043】実際に、このような制御を行うには、モニターされた電流値から、電熱ヒーターの温度、ピエゾ素子の変位量、或は形状記憶合金部分の抵抗とを求め、更に、それを駆動体としての形状記憶合金部分の変位量に換算して、制御信号パルスを発生させるといったことが必要である。これらを実現させるための電子回路は多関節マニピュレータの1番目の関節の電子回路(図1の低濃度N型領域2の部分)に内蔵するのが特に望ましい。本発明が目的とするマイクロシステムにおける多関節マニピュレータは、全体のシステムの中の1つの機能ユニットとして使用されるが、機能ユニットの内部で、このような高度の信号制御が可能であれば、全体として大規模なシステムを構築する上で、非常に有利である。更に、駆動体やセンサーの固有の特性値についての情報を第1関節の電子回路に形成したROMに書き込んでおく等すれば、機能素子としての多関節マニピュレータの汎用性を高めることができる。

【0044】ここまでは、相異なる方向に関節を屈曲させるように作用する一対の形状記憶合金を用いた駆動機構について説明してきたが、形状記憶合金は特殊な熱処理によっていわゆる全方位形状記憶が可能であり、これを利用すれば、1つの関節当たり1つの駆動体で駆動機構(手段)を構成することができる。このような実施例を第23図から図27を用いて説明する。

【0045】まず、図1及び図2に示したのと同様の手順で、半導体基板1に電子回路領域を形成するが、N型低濃度領域3に形成する回路は図23に示すようにする。図23から知れるように、これは前述した図3の回路を半分にしたものであり、このため、一組の駆動線の端子領域301を有する。

【0046】次に、図24に示すように、第2層間絶縁膜12を形成した後、図23の15から18、21から24、及び301の各領域に、コンタクト孔302を形成する。

【0047】次に、図25に示すように第2金属配線層となるA1のリソグラフィー工程によって、N型低濃度領域に形成した各々の隣り合う電子回路の電源線、GND線、同期信号線、制御線のコンタクト孔を接続して、第2金属配線層による、電源配線28、GND配線29、同期信号配線30、制御配線31及び駆動線の端子領域301からの駆動配線303を形成する。

【0048】次に、図26及び図27に示すように、ポリイミドよりなる第3層間絶縁膜304を形成した後、駆動配線303の先端にコンタクト孔305を形成し、更にTi薄膜のリソグラフィー工程によって駆動体へエネルギーを供給する手段たる電熱ヒーターパターン306を形成し、更に、図27で示すように、その上にポリイミドより成る第4層間絶縁膜307を形成する。

【0049】次に、図28に示すように、形状記憶合金薄膜をスパッタした後、リソグラフィー工程によって駆動体となる形状記憶合金308を形成する。この後は先に説明したのと同様に、基板の形状記憶合金薄膜等を形成した側の主面を保護膜によって保護した上で、N型低濃度領域2及び3に1Vの電圧を印加しながら、ECE処理によってN型低濃度領域以外の領域の半導体基板1をエッチングによって除去する。この後、フッ酸溶液等によってシリコン酸化膜の第1層間絶縁膜10のN型低濃度領域以外の露出した領域をエッチング除去してから表面保護膜を除去し、柔軟なポリイミド膜によって覆われた配線及び電熱線パターンと、その下部に部分的に残存した電子回路を構成する半導体領域と、上部に形成された形状記憶合金が一体化された駆動手段を得る。この後、形状記憶合金に対して適当な変形を加えながら熱処理を行うことによって、全方位形状記憶処理を行う。これを多関節構造体に組み込めば、多関節マニピュレータとして機能させることができる。制御方法については1関節の駆動体が1つになっただけで基本的には、第13図で説明したのと同じである。先に述べたような方法で、センサーを組み込めば任意の屈曲角にフィードバック制御できることは言うまでもない。

【0050】ここまで、形状記憶合金に曲げ変位を形状記憶させることによって駆動させる多関節マニピュレータについて説明してきたが、形状記憶合金は一般的に伸縮を形状記憶させた方が大きな力量が得られる。図29から図32を用いてこのような実施例について説明する。

【0051】まず、図1から図7までと同様な手順で、電子回路、配線及び電熱ヒーターを形成した後、第3層間絶縁膜となるポリイミド膜とポジ型レジスト膜形成し、フォトリソ工程によってレジスト膜を露光・現像して、

レジストパターン402を形成する。

【0052】この後、図30及び図31に示すように、スパッタによる形状記憶合金薄膜と、ポリイミド膜を順次形成し、これをリソグラフィー工程によってエッチングして駆動体となる形状記憶合金薄膜パターン403とその上部のポリイミド膜404を形成する。

【0053】この後、有機溶剤等でレジストパターン402を選択的に除去すると、図30中E-E線に沿う断面を示す図31のように、形状記憶合金薄膜パターン403の部分は電熱ヒーターパターン26及びポリイミド膜404と一方の端部のみで固定されることになる。

【0054】続いて、これまで説明したのと同様なECE処理と第1層間絶縁膜10の除去を行う。この後で形状記憶合金を伸縮方向に形状記憶処理し、駆動機構体aを完成させる。次に、図32に示すような多関節構造体bを用意する。これは前述した図10に示したものとほとんど同じであるが、取付け部39は各節37で、4個づつとなっている。

【0055】次に、この多関節構造体bに前記駆動機構体aを図33に示すように取り付ける。これも図12に示した方法と似ているが、一对の形状記憶合金薄膜パターン部分35は多関節構造体bの両側面で2つの節37にまたがる4つの取付け部39に取り付けられ、形状記憶合金はこの4つの内の両端の取付け部39aで固定され、他の中間の2つの取付け部39bでは横方向に自由に動くことができる。ここで、電熱ヒーターと第2及び第3絶縁層の部分は、図33におけるF-F線に沿う断面図である図34から分かるように、両端の固定された取付け部39aの、形状記憶合金薄膜パターン部35に対して固定された方の一端のみで固定されている。

【0056】このように構成すれば、一方の電熱ヒーターを加熱した際に、その部分の形状記憶合金が収縮して、多関節構造体bの関節部が屈曲する。また、その駆動体bの形状記憶合金部分と電熱ヒーター部分が一端のみで固定されているため、形状記憶合金の大きな変位に対して電熱ヒーターが大きな歪みを受けることはない。一般に、構造体の関節部で同じだけに屈曲角を得ようとした場合、屈曲よりも収縮の方が大きな歪みを必要とするので、このような対策がなされることが望ましい。

【0057】これまでは、駆動体としての形状記憶合金を駆動機構体に一体形成するため、絶縁された電熱ヒーター部分にスパッタとリソグラフィー工程によって、形状記憶合金薄膜パターン35を形成する方法について説明してきたが、あらかじめ形状記憶処理を施した形状記憶合金部材を、絶縁された電熱ヒーター部分に張り付けてもよい。また、駆動体bには形状記憶合金に限らず、電圧又はそれによって発生する熱等によって変位する素材を用いれば、これらの実施例で開示された、柔軟な配線によって相互に接続された電子回路群や、それと一体形成された電極、又は電熱ヒーター等によって駆動用

エネルギー供給手段を構成することができる。

【0058】ところで、これまでの実施例においては、配線としてスパッタによるAl薄膜を用いてきたが、関節数が多く、多関節マニピュレータの全長が長くなると、配線抵抗が正常な動作を阻害するので配線幅を大きくする必要があり、これが小型化を阻害する要因となる。この問題を回避するための方法について、図1から図6までの工程を経た後の工程について図35から図38を用いて、以下に説明する。

【0059】まず、図34に示すように、図7と同様の配線パターンを200nm程度のスパッタによるPt薄膜501で形成する。次に、図35のG-G線に沿う断面を示す図36に示すように、10μmのポリイミド502と1μmのAlを形成し、Ptの配線パターンの反転パターンでAlをエッチングし、Alパターン503を形成する。次に、図37に示すように、RIEによってAlをマスクとしてポリイミド502を異方性エッチングして開口部504を形成する。

【0060】この後、図38に示すようにAlパターン503を選択的に除去してからテトラメチルアンモニウムハイドロオキシドと硫酸銅の混合液によって、Ptが露出した部分に選択的に銅505を10μm無電解メッキする。この後は図9以降と同じ手順で多関節マニピュレータを完成させる。この方法では、配線に比較的厚く、しかも抵抗率が小さい銅を配線として利用できるので、配線抵抗を大幅に低減できる。

【0061】このように、配線抵抗を大幅に低減し、更に制御回路のスイッチングTrに駆動能力の大きなバイポーラトランジスタを用いるなどすれば、前記駆動体に極細の形状記憶合金ワイヤーを用いることで、電熱ヒーターでなく、直接に形状記憶合金ワイヤーを通电加熱することも可能である。このような方法で構成した多関節マニピュレータの概念的構成の例が図39と図40でそれぞれ示す。ここでは、多関節構造体601には、配線602で相互に接続されたアクチュエータ制御チップ603によるアクチュエータ制御チップアレーが取り付けられ、第4図に示したと同様な構成における回路における第1及び第2の駆動線端子領域が一對の極細形状記憶合金ワイヤー604の両端に直接に接続されている。図39のものではその多関節マニピュレータがパイプ状の硬性部606の外周に設けられ、図39のものではその多関節マニピュレータが関節607の屈曲部分に対応する軟性部605とそれ以外の硬性部606よりなるパイプに収められている。

【0062】多関節マニピュレータの各関節の制御を任意でなく、順次にした場合の多関節マニピュレータの制御回路を図41に示す。図41において、60は抵抗であり、(61-1)～(61-n)は、デプレッション形MOS-FETで、(62-1)～(62-n)は形状記憶合金(SMA)である。60は入力電圧を抵抗分

割し、(61-1)～(61-n)のFETのドレインに抵抗分割分の電圧を与える抵抗であり、(61-1)～(61-n)のFETは、形状記憶合金(62-1)～(62-n)に通電を行わせるスイッチング素子である。

【0063】この図41で示す構成において、入力電圧Vを上げていき、 V_1 がゲート・ソース間しきり電圧 V_{GS} よりも大きくなったとき、(61-1)のFETがONし、(62-1)の形状記憶合金に定電流が流れる。それ以外のFET(61-2)～(61-n)は、途中にかましてある抵抗60により入力電圧Vが分圧されて、 $V_{GS(OFF)} > V_2 > V_3 > V_4 \cdots > V_n$ となり、FET(61-2)～(61-n)はOFFとなっている。

【0064】ここで、更に入力電圧Vを上げていくと、 $V_2 > V_{GS(OFF)}$ となりFET(61-2)もONし、SMA(62-2)にも定電流が流れる。以上の事を繰り返す事によって、最終的には $V_1 > V_2 > V_3 > \cdots > V_n > V_{GS(OFF)}$ となり、SMA(62-1)～(62-n)を入力電圧によって順次的に通電を行わせる事ができる。

【0065】なお、この例では、形状記憶合金(SMA)の通電制御を行うのにFETのスイッチング動作を使用していたが、これに限らず、スイッチング素子として、ツェナーダイオードを使用した図42に示す回路例のものでもよい。

【0066】図42において、(65-1)～(65-n)はSMAであり、(63-1)～(63-n)はツェナーダイオードで、(63-1)～(63-n)のツェナー電圧を V_{ZD1} , V_{ZD2} , V_{ZD3} , ..., V_{ZDn} とし、 $V_{ZD1} < V_{ZD2} < V_{ZD3} < \cdots < V_{ZDn}$ とする。64はスイッチングダイオードで、(65-1)～(65-n)のSMAに定電圧がかかる様にしている。

【0067】そこで、この図42において、入力電圧Vを上げていき、 $V > V_{ZD1}$ となった時に、(63-1)のツェナーダイオードからツェナー電流が流れ、SMA(65-1)に通電する。更に、入力電圧Vを上げていき、 $V > V_{ZD2}$ となった時に、(63-2)のツェナーダイオードからツェナー電流が流れ、SMA(65-2)にも通電する。

【0068】この事を繰り返していくと、最終的には $V > V_{ZDn}$ となり、(65-1)～(65-n)のSMAを全て通電する。入力電圧Vを上げていったときにツェナー電圧の低いツェナーダイオードから流れるツェナー電流が大きくなっても、64のスイッチングダイオードによって定電圧となっているので、(65-1)～(65-n)のSMAは全て均等な伸縮を行う。上記の事から、入力電圧VによってSMA(65-1)～(65-n)を順次的に通電を行わせる事ができる。

【0069】また、上記ではツェナーダイオード(63

—1)～(63-n)のツェナー電圧を $V_{ZD1} < V_{ZD2} < \dots < V_{ZDn}$ と順次に並べていたが、この順番を変える事によって、あらかじめ決められた湾曲動作を行う事もできる。以上の事から、多関節マニピュレータをシーケンシャルに動作させる場合には、SMAの通電制御線が2本だけで構成することができる。

【0070】

【発明の効果】以上説明したように本発明によれば、非常に微小な多関節マニピュレータが得られ、また、これを複雑な組立工程を行うことなしに、容易に製造することができる。

【図面の簡単な説明】

【図1】P型低濃度半導体基板上にN型低濃度領域を形成した説明図。

【図2】前記N型低濃度領域にウェルを形成した説明図。

【図3】前記N型低濃度拡散領域にCMOS集積回路及び層間絶縁膜を形成した配置説明図。

【図4】CMOS集積回路の構成の説明図。

【図5】電熱線パターンの配置図。

【図6】コンタクト孔の配置図。

【図7】第2金属配線層の配置構成の説明図。

【図8】形状記憶合金薄膜パターンとポリイミド膜を形成した配置説明図。

【図9】図8のA-A線に沿う形状記憶合金薄膜パターンとポリイミド膜を形成した積層構造の断面図。

【図10】(a)は多関節構造体の側面図、(b)は同じくその平面図。

【図11】図10中のB-B線に沿う断面図。

【図12】(a)は駆動機構を多関節構造体に取り付けてなる多関節マニピュレータの側面図、(b)は同じくその平面図。

【図13】多関節マニピュレータの制御信号の波形図。

【図14】多関節マニピュレータをフィードバック制御を行うための信号の波形図。

【図15】変形例のパターン説明図。

【図16】集積回路の構成の説明図。

【図17】コンタクト孔の配置図。

【図18】形状記憶合金薄膜パターンとポリイミド膜を

形成した配置説明図。

【図19】集積電子回路の構成の説明図。

【図20】配線パターンの説明図。

【図21】配線パターンの説明図。

【図22】図21中C-C線に沿うその積層構造の断面図。

【図23】集積電子回路の構成の説明図。

【図24】コンタクト孔の配置構造の説明図。

【図25】配線構造の説明図。

【図26】電熱ヒーターパターンの説明図。

【図27】図26中D-D線に沿うその積層構造の説明図。

【図28】形状記憶合金の配置パターンの説明図。

【図29】レジストパターンの配置説明図。

【図30】形状記憶合金薄膜パターンの配置説明図。

【図31】図30中E-E線に沿うその積層構造の断面図。

【図32】(a)は多関節構造体の側面図、(b)はその平面図。

【図33】(a)は前記多関節構造体に駆動機構を組み付けたその側面図、(b)はその平面図。

【図34】図33におけるF-F線に沿う断面図。

【図35】配線パターンの配置説明図。

【図36】図35のG-G線に沿う断面図。

【図37】開口部を形成した積層構造の断面図。

【図38】その開口部に無電解メッキをした積層構造の断面図。

【図39】(a)は他の多関節マニピュレータの斜視図、(b)は(a)中H-H線に沿う断面図。

【図40】(a)はさらに他の多関節マニピュレータの斜視図、(b)は(a)中I-I線に沿う断面図。

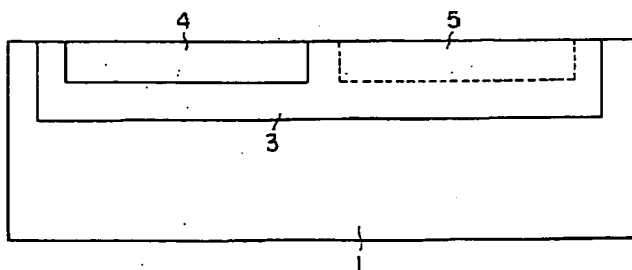
【図41】制御回路の構成説明図。

【図42】他の制御回路の構成説明図。

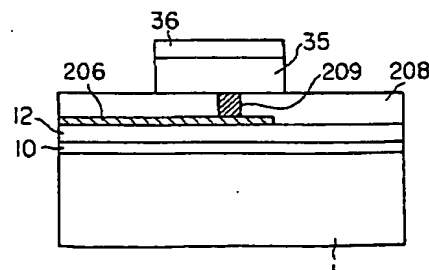
【符号の説明】

1…半導体基板、13…D型フリップフロップ、14…スイッチング用トランジスタ、26…電熱線パターン、28…電源配線、35…形状記憶合金薄膜パターン、37…節、38…接続部、a…駆動機構体、b…多関節構造体。

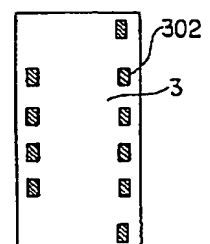
【図2】



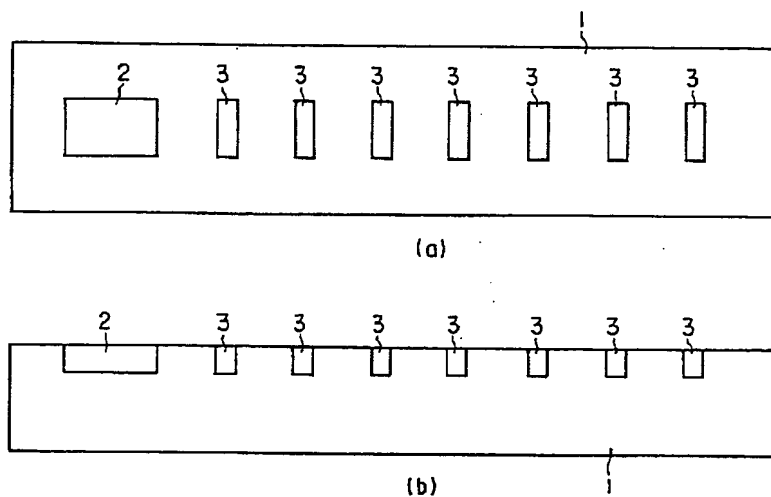
【図22】



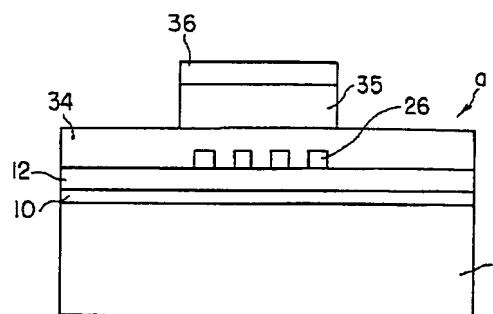
【図24】



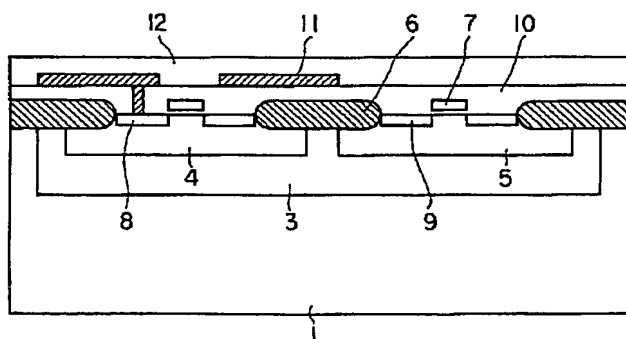
【図1】



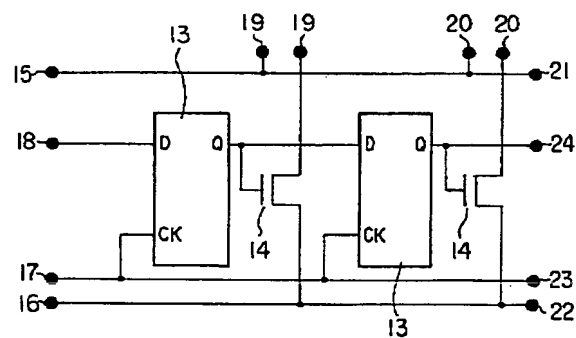
【図9】



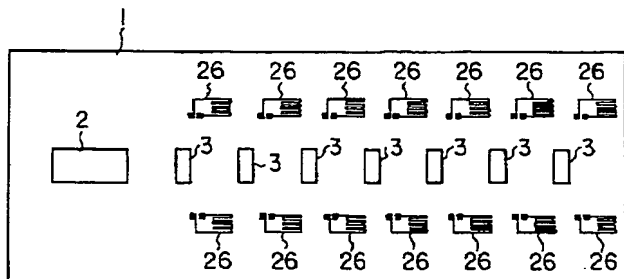
【図3】



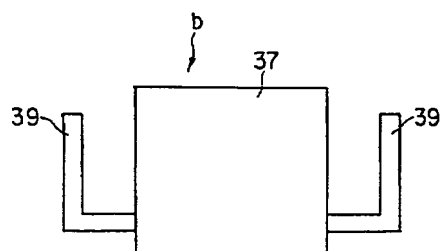
【図4】



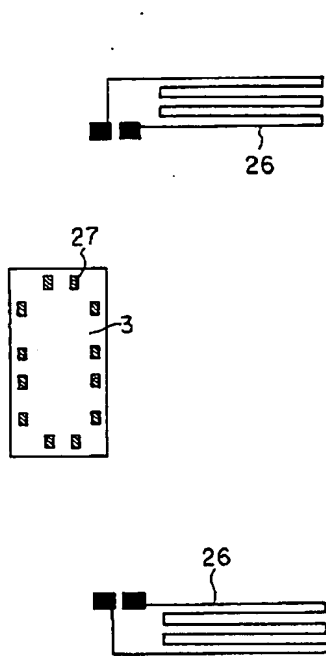
【図5】



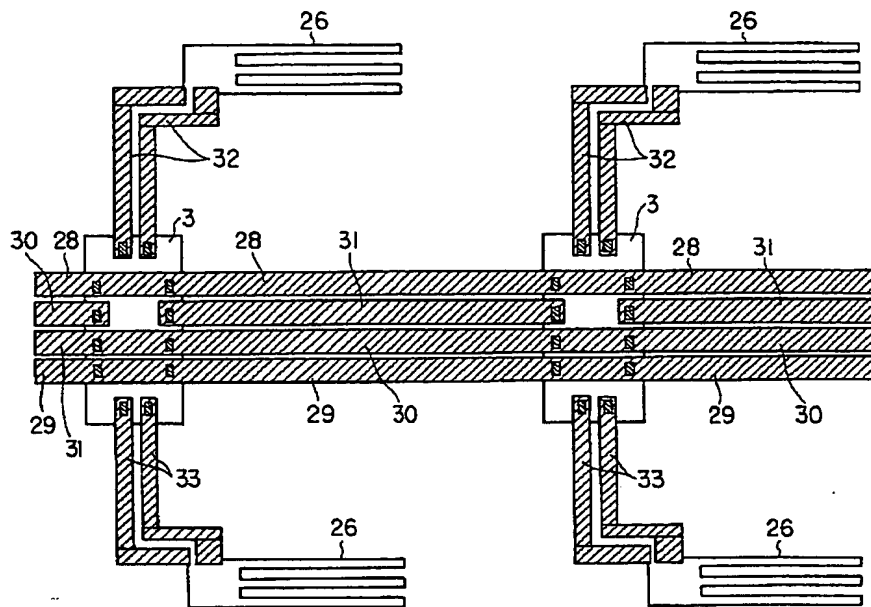
【図11】



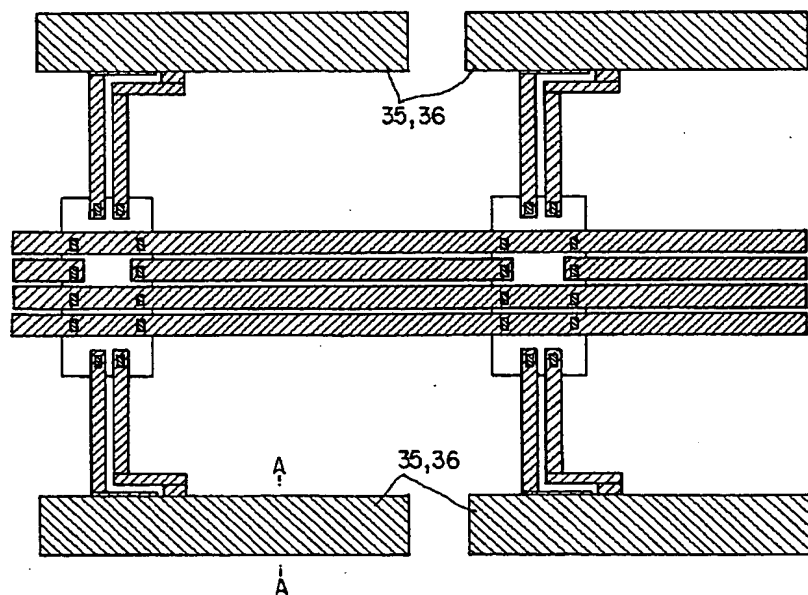
【図 6】



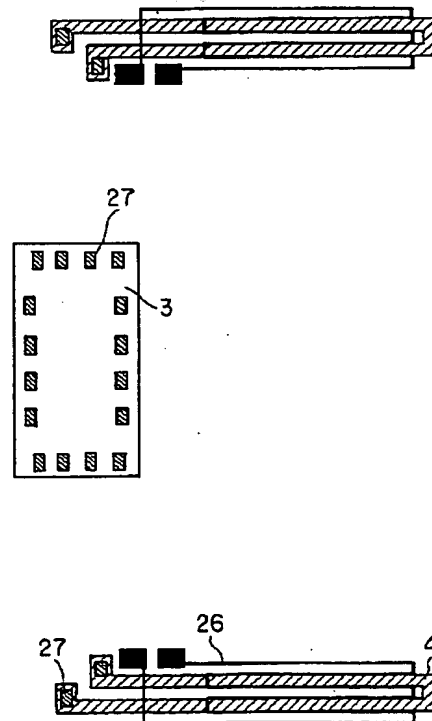
【図 7】



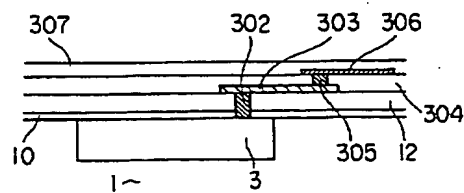
【図 8】



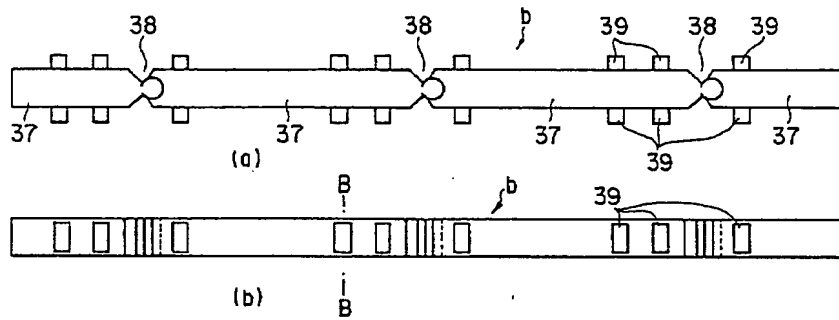
【図 17】



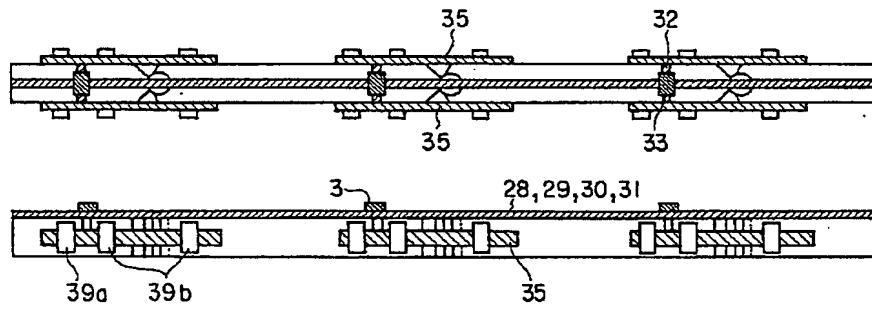
【図 27】



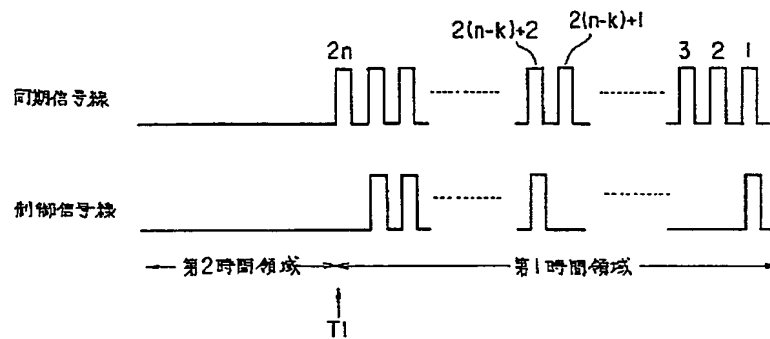
【図10】



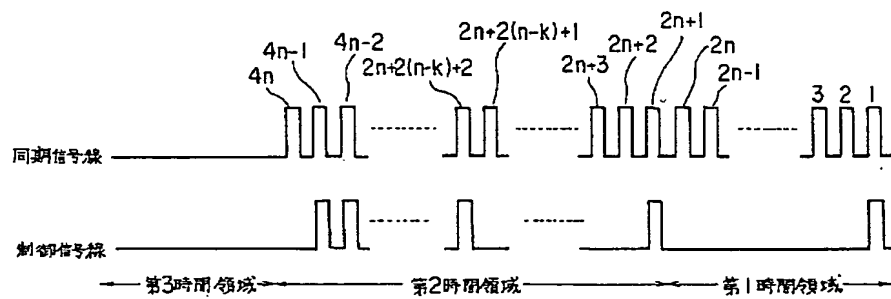
【図12】



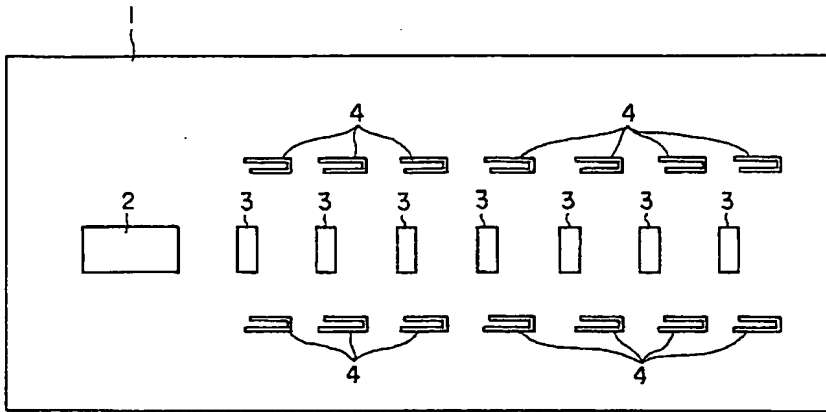
【図13】



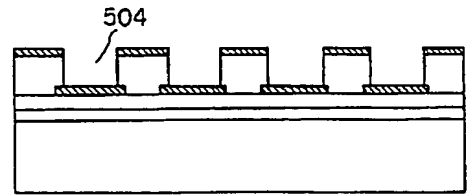
【図14】



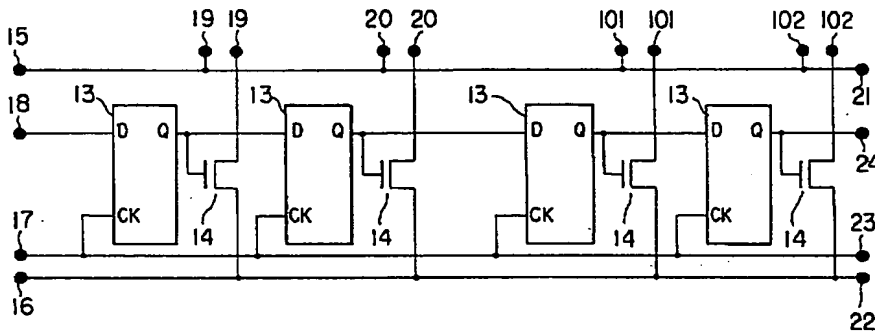
【図 1 5】



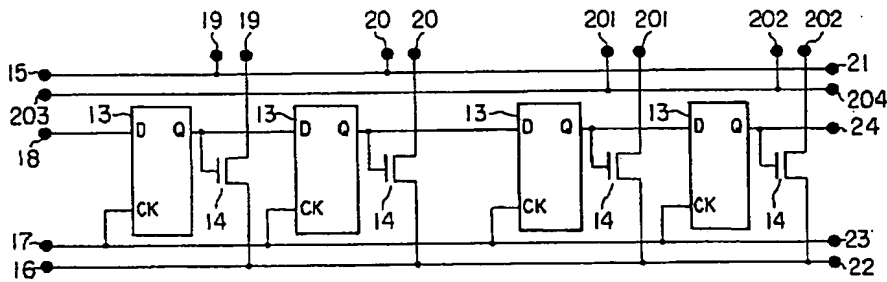
【図 3 7】



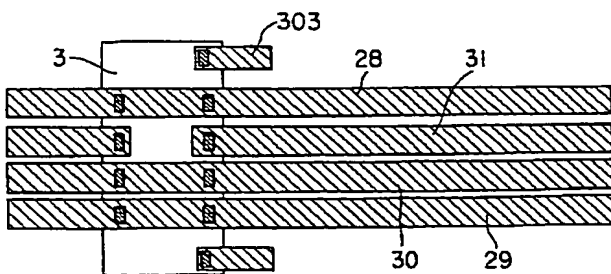
【図 1 6】



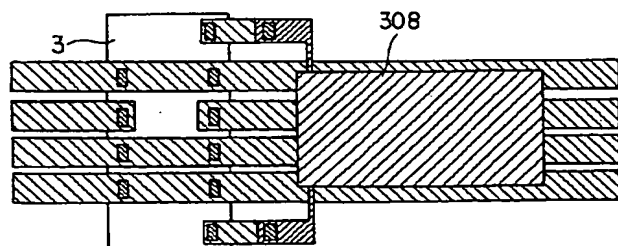
【図 1 9】



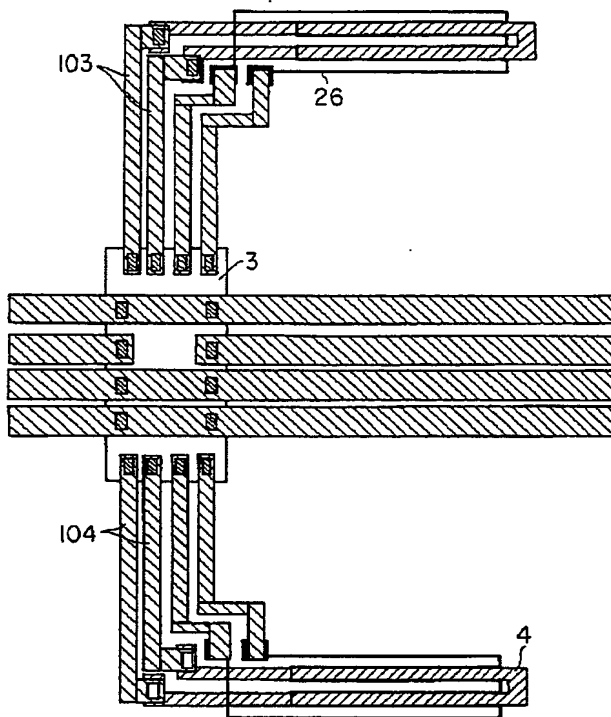
【図 2 5】



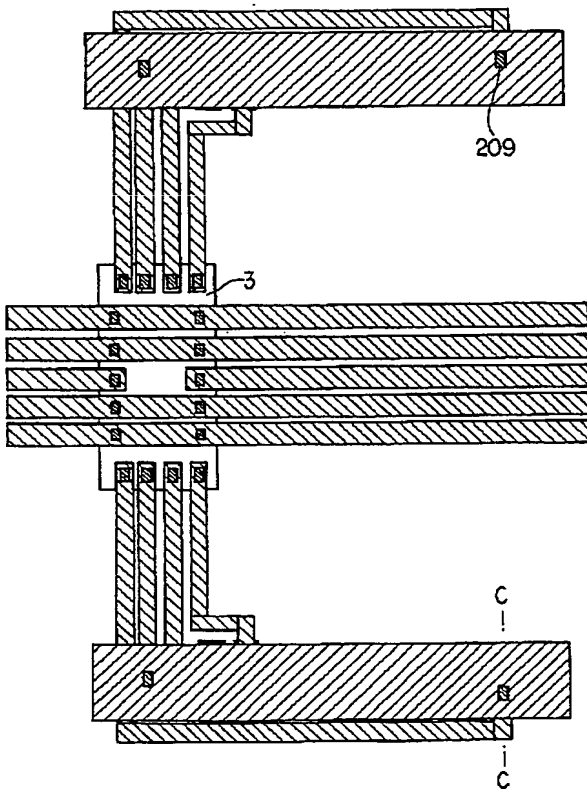
【図 2 8】



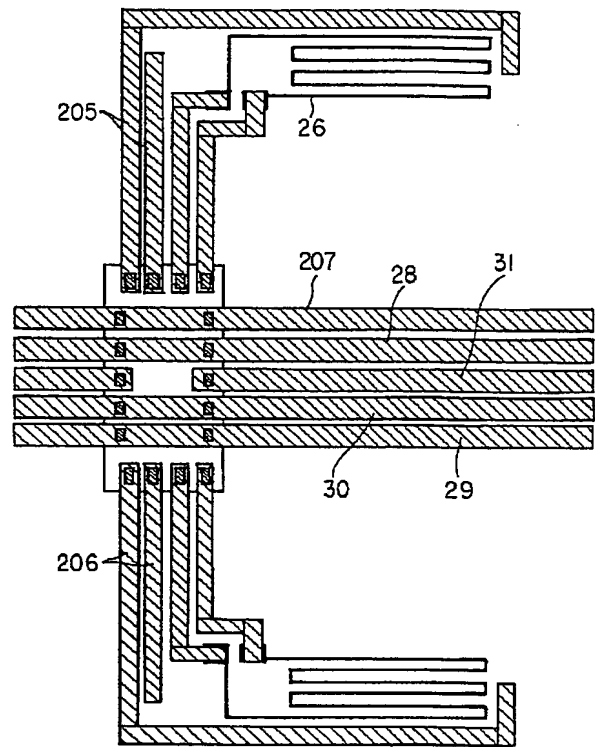
【図18】



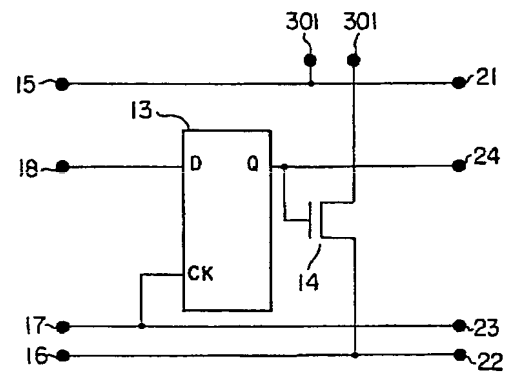
【図21】



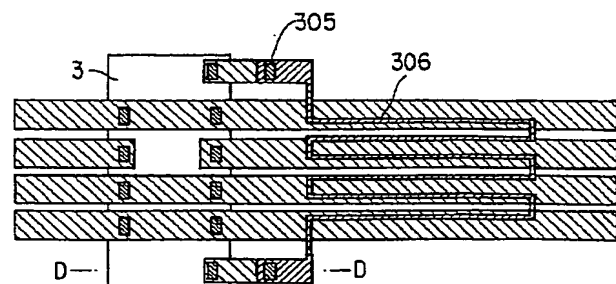
【図20】



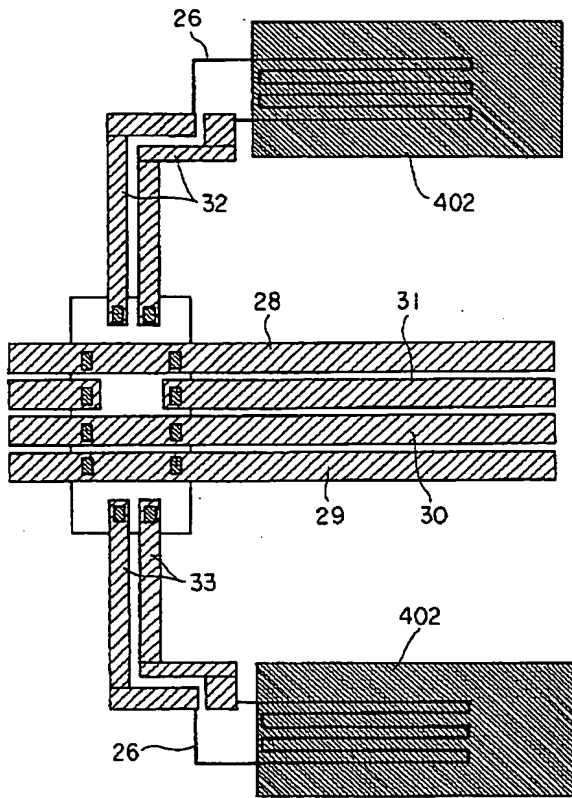
【図23】



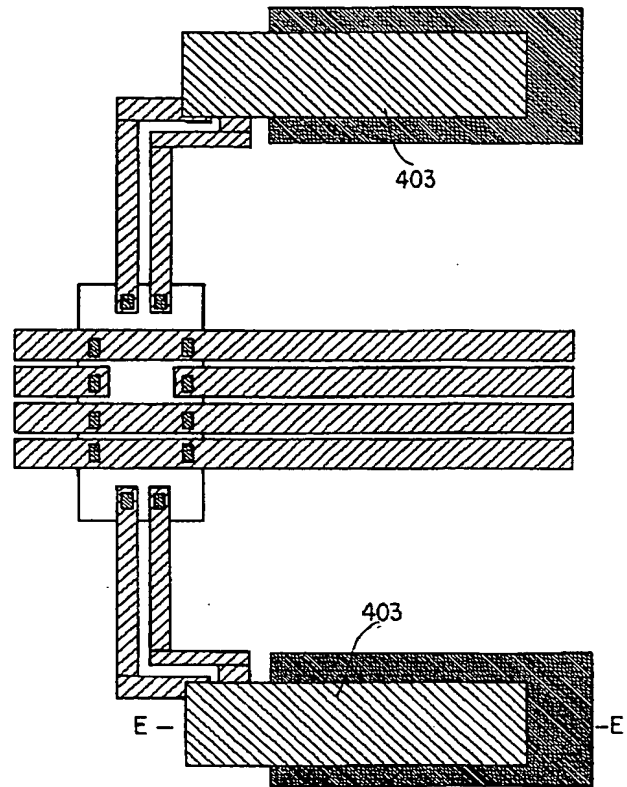
【図26】



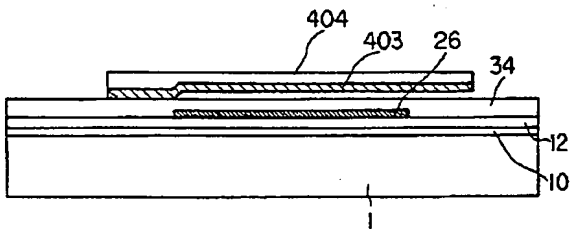
【図 29】



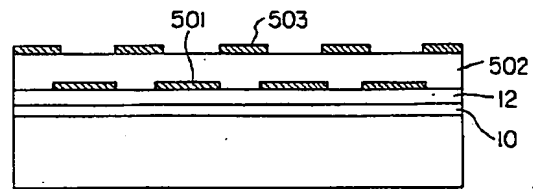
【図 30】



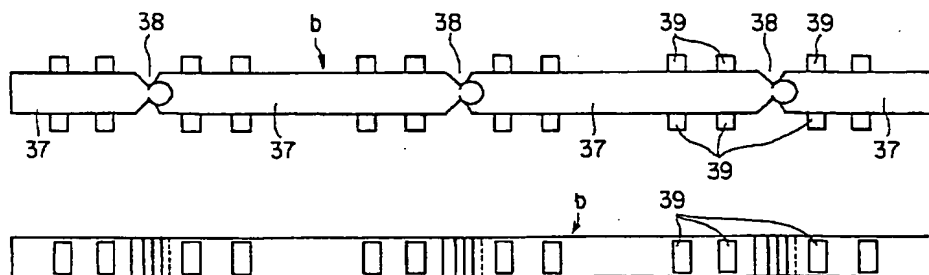
【図 31】



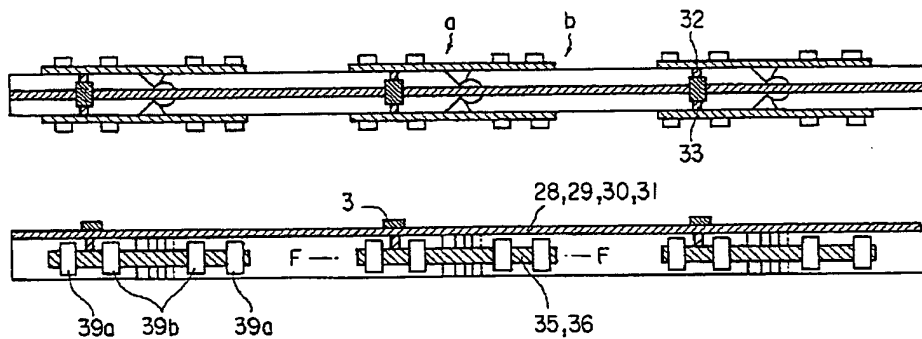
【図 36】



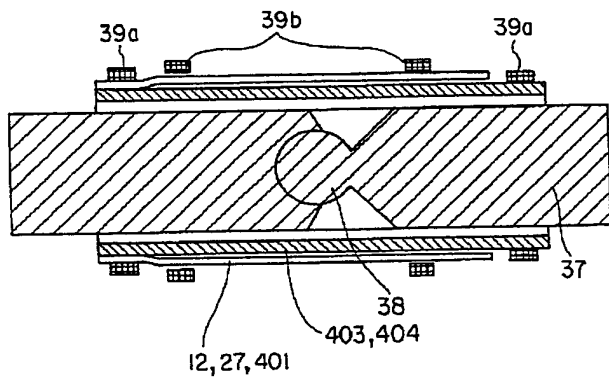
【図 32】



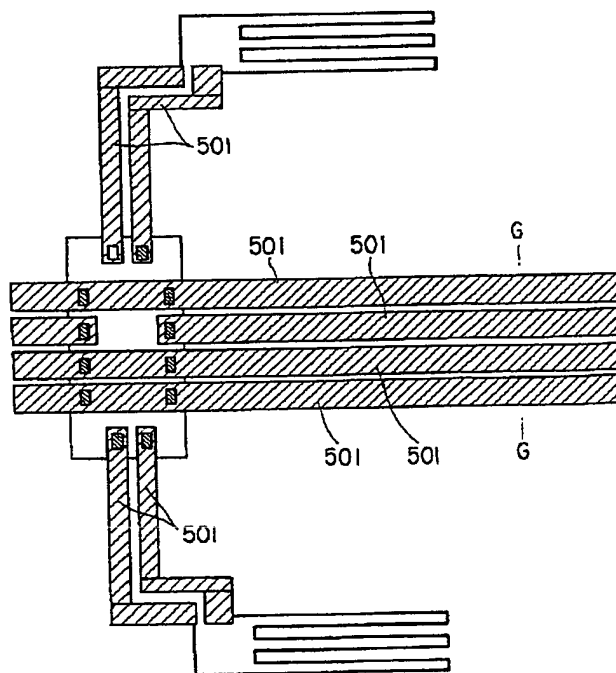
【図 3 3】



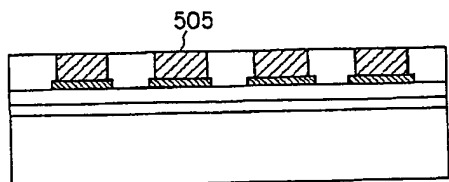
【図 3 4】



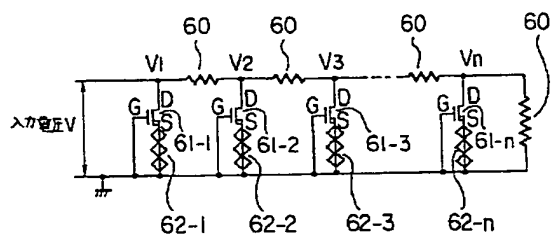
【図 3 5】



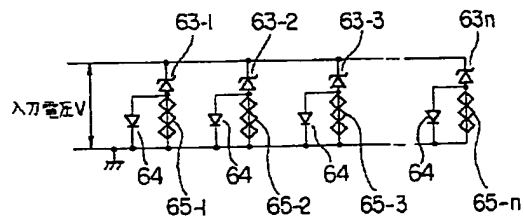
【図 3 8】



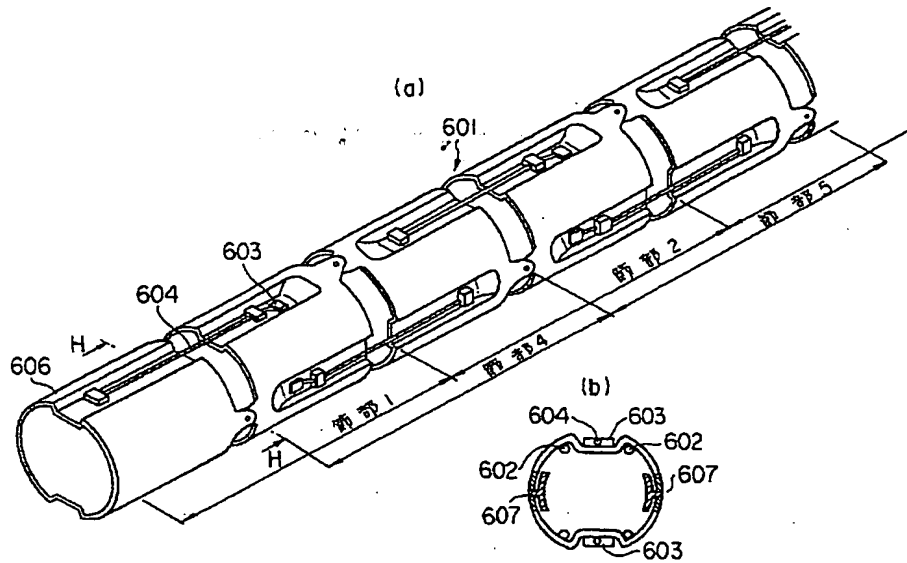
【図 4 1】



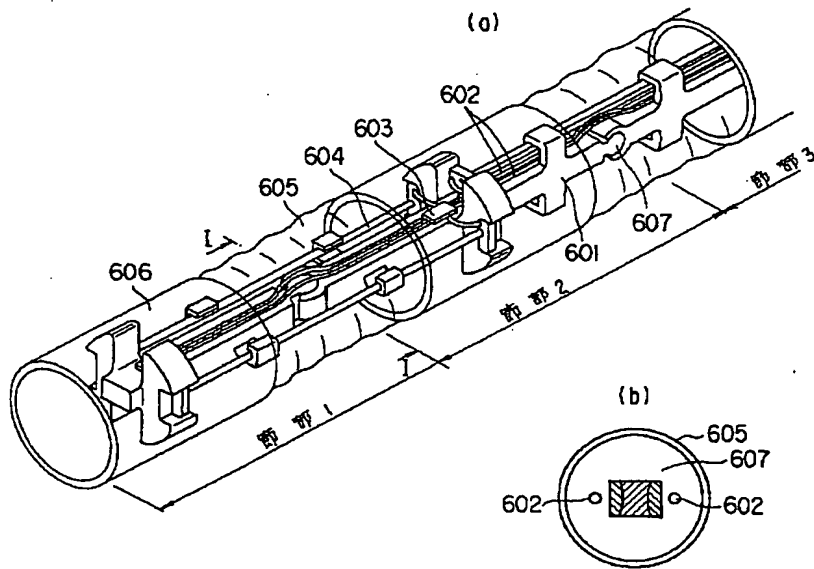
【図 4 2】



【図 39】



【図 40】



フロントページの続き

(72)発明者 河合 利昌
東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号 オリ
ンパス光学工業株式会社内

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)